

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175673

(P2002-175673A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14	3 5 1 A 5 D 0 4 4
20/10	3 2 1	20/10	3 2 1 Z 5 J 1 0 6
H 0 3 L 7/091		H 0 3 L 7/08	C 5 K 0 4 7
H 0 4 L 7/033		H 0 4 L 7/02	B

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願2000-372472(P2000-372472)

(22) 出願日 平成12年12月7日 (2000.12.7)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 本間 博巳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

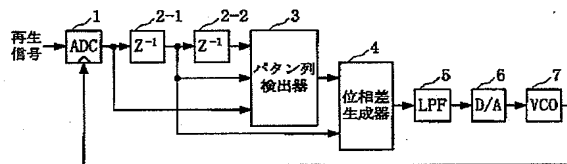
最終頁に続く

(54) 【発明の名称】 PLL回路、データ検出回路及びディスク装置

(57) 【要約】

【課題】 再生信号から高S/N比の位相差情報を抽出してPLL制御を行う。

【解決手段】 A/D変換器1は、入力信号をサンプリングしてデジタル信号に変換する。パターン列検出器3は、A/D変換器1から出力された連続する複数のサンプル値からなる入力パターン列の種類を識別して、識別結果を示すパターン列識別情報を出力する。位相差生成器4は、パターン列識別情報とA/D変換器1の出力に基づいてA/D変換器出力の位相誤差を示す位相差情報を出力する。ループフィルタ5、D/A変換器6及び電圧制御発振器7は、位相差情報からクロック信号を生成して、A/D変換器1のサンプリングタイミングを制御する。



【特許請求の範囲】

【請求項1】 入力アナログ信号からクロック信号を生成するPLL回路において、前記入力アナログ信号をサンプリングしてデジタル信号に変換するA/D変換器と、

このA/D変換器から出力された連続する複数のサンプル値からなる入力ボタン列の種類を識別して、識別結果を示すボタン列識別情報を出力するボタン列検出器と、前記ボタン列識別情報と前記A/D変換器の出力に基づいて前記A/D変換器出力の位相誤差を示す位相差情報を出力する位相差生成器と、

前記位相差情報からクロック信号を生成して、前記A/D変換器のサンプリングタイミングを制御する制御手段とを有することを特徴とするPLL回路。

【請求項2】 請求項1記載のPLL回路において、前記A/D変換器の前段に、前記入力アナログ信号の波形等化を行うアナログ等化器を有することを特徴とするPLL回路。

【請求項3】 入力アナログ信号からクロック信号を生成するPLL回路において、

前記入力アナログ信号を固定のクロックレートでサンプリングしてデジタル信号に変換するA/D変換器と、前記デジタル信号の位相を調整する補間器と、

この補間器から出力された連続する複数のデータ値からなる入力ボタン列の種類を識別して、識別結果を示すボタン列識別情報を出力するボタン列検出器と、前記ボタン列識別情報と前記補間器の出力に基づいて前記補間器出力の位相誤差を示す位相差情報を出力する位相差生成器と、

前記位相差情報に基づいて前記補間器の位相調整量を制御する補間量算出器とを有することを特徴とするPLL回路。

【請求項4】 請求項3記載のPLL回路において、前記A/D変換器と前記補間器との間に、前記A/D変換器の出力信号の波形等化を行うデジタル等化器を有することを特徴とするPLL回路。

【請求項5】 請求項1又は2記載のPLL回路において、

前記ボタン列検出器は、

前記入力ボタン列とこの入力ボタン列がとり得る全ての理想ボタン列との誤差量を計算する誤差生成器と、

前記計算された誤差量が最小の理想ボタン列を前記入力ボタン列に最も近い理想ボタン列として前記ボタン列識別情報を出力する最小値検出器とからなることを特徴とするPLL回路。

【請求項6】 請求項1又は2記載のPLL回路において、

前記位相差生成器は、

前記理想ボタン列中の理想値を理想ボタン列毎に予め記憶し、前記ボタン列識別情報が入力されたときに対応す

る理想値を出力する第1のメモリと、

前記理想値の微係数を理想ボタン列毎に予め記憶し、前記ボタン列識別情報が入力されたときに対応する微係数を出力する第2のメモリと、

前記A/D変換器の出力又は前記補間器の出力から前記理想値を減算する減算器と、

この減算器の出力に前記微係数を乗じた結果を前記位相差情報として出力する乗算器とからなることを特徴とするPLL回路。

【請求項7】 請求項1又は2記載のPLL回路において、

前記A/D変換器と前記ボタン列検出器及び前記位相差生成器との間に設けられ、オフセット補正量を足した後の前記A/D変換器出力を前記ボタン列検出器及び前記位相差生成器に出力する加算器と、

この加算器の出力におけるオフセット量を補正する前記オフセット補正量を前記加算器出力から学習して前記加算器に与えるオフセット量学習回路とを有することを特徴とするPLL回路。

20 【請求項8】 請求項1, 2, 3, 4又は7記載のPLL回路と、

このPLL回路で生成されたクロック信号又は前記固定のクロックレートのクロック信号に同期して、前記A/D変換器の出力信号中の情報を識別するパルス化回路を有することを特徴とするデータ検出回路。

【請求項9】 請求項8記載のデータ検出回路において、

前記パルス化回路は、ビタビ検出器であることを特徴とするデータ検出回路。

30 【請求項10】 請求項9記載のデータ検出回路において、

前記ビタビ検出器の入力及び出力から前記ビタビ検出器内の基準レベルを学習して前記ビタビ検出器及び前記ボタン列検出器に与える基準レベル学習回路を有することを特徴とするデータ検出回路。

【請求項11】 請求項9記載のデータ検出回路において、

前記ビタビ検出器としてPR(a, b, b, a)チャネルに対応することを特徴とするデータ検出回路。

40 【請求項12】 請求項9記載のデータ検出回路において、

前記ビタビ検出器としてPR(a, b, c, b, a)チャネルに対応することを特徴とするデータ検出回路。

【請求項13】 磁気ディスクの再生系に、請求項8, 9又は10記載のデータ検出回路を搭載したことを特徴とする磁気ディスク装置。

【請求項14】 光ディスクの再生系に、請求項8, 9又は10記載のデータ検出回路を搭載したことを特徴とする光ディスク装置。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力信号からクロック信号を生成するPLL回路、PLL回路を用いて入力信号中の情報を識別再生するデータ検出回路、及び磁気ディスクや光ディスクに記録された情報をデータ検出回路を用いて再生する磁気ディスク装置や光ディスク装置等のディスク装置に関するものである。

【0002】

【従来の技術】近年のIT (Information Technology) 技術の進展さらには地上波デジタル放送の開始等により、映像情報を含めた大量の情報を保存、編集することが要求されている。これらの大量の情報を記録するためのストレージ装置としては、光ディスク装置、磁気ディスク装置、磁気テープ装置等が挙げられるが、編集やランダムアクセス、耐久性を考えると光ディスク装置に軍配が上がる。ただし、現状のDVD (Digital Versatile Disc) 装置では片面5GB (ギガバイト) 程度の容量限度があるため、BSデジタル放送の連続記録を考えると容量不足である。このため、ディスク装置の大容量化の研究が盛んに行われている。

【0003】光ディスク及び磁気ディスクの高密度化に伴う問題は、高密度記録に伴い、再生信号の符号間干渉が大きくなることで信号のS/N比が小さくなり、検出情報の誤り率が上昇することである。このような問題を解決して、光ディスクの高密度化を実現する技術の主なものとしては、レーザービームの短波長化、高NA (開口数) 化、超解像 (磁気、光、媒体) などが挙げられるが、これらは集光ビームスポット径を小さくして符号間干渉の影響を小さくする技術である。また、磁気ディスクの高密度化を実現する主なものとしては、GMR

(Giant Magneto Resistive) ヘッド、コンタクト記録などがあるが、これらの技術も光ディスクの場合と同様に符号間干渉を小さくするための技術である。

【0004】しかし、これらの方法は互換性の問題や装置コストの上昇などの問題点を抱えている。これに対して、符号間干渉の影響を積極的に利用したPRML (Partial Response Maximum Likelihood) 検出による高密度化の方法が提案されており、市販のディスク装置への応用が相次いでいる。PRML検出による高密度化技術は、再生信号をデジタル信号処理して検出性能を向上させるため、互換性が確保でき、LSI化によりコストの上昇も抑えることができ、さらに他の高密度化手法との組み合わせが可能であるという利点を持つ。

【0005】PRMLはPR (Partial Response) 波形等化と最尤検出とを組み合わせた検出方式であり、再生チャンネルの符号間干渉量をもとに最尤検出することにより、分解能が低下した高密度記録再生波形に対しても高い再生性能を有していることはよく知られるところである。例えば、文献「Proc. SPIE, vol.2338, pp.314-318」には、光ディスクにPRMLを採用した記述があ

る。光ディスクにPRMLを採用する場合には、光ディスクから読み出した再生信号をあらかじめ特定のPRチャネルになるように波形等化を行い、8ビット程度のA/D変換器によってデジタル情報に変換する。もちろんA/D変換後にデジタル等化してもよい。等化後の波形データは、前後のサンプル値と相関があり状態遷移図で示すことが可能である。最尤検出器内にはこの状態遷移が組み込まれており、時系列入力データの中から状態遷移を満足しかつ最も誤差の小さくなるものを選択することで、S/Nが小さくても低い誤り率で情報を検出することができるのである。

【0006】実際の回路上であらゆる組み合わせから最も確からしいパターン列を決定することは、回路規模および動作速度の点で困難であるため、通常は、文献「IEEE Transaction on Communication, VOL.COM-19, Oct, 1971」に示されるビタビアルゴリズムと呼ばれるアルゴリズムを用いてパスの選択を漸化的に行うことにより実現している。このビタビアルゴリズムを具現化した検出器のことをビタビ検出器と呼ぶ。

【0007】ところで、PRML検出を含むパルス化回路とそれ以降に接続されるECCデコーダー等のデジタル回路群はクロックに同期して動作するため、クロック信号が必要である。ディスク装置の再生信号はスピンドルの回転むらやディスクの微少な傾きにより同期クロックの周波数が変化するため、通常は再生信号からこの変化量を抽出して追従制御するPLL (Phase Locked Loop) と呼ばれるフィードバック制御回路が必要となる。従来は、入力波形をあるしきい値レベルでスレッシュホールド検出した2値化パルスのエッジ位置情報を用いてPLLを構成していた。

【0008】しかし、ディスクへの高密度記録に伴って再生信号の符号間干渉が増えてくると、2値化パルスのジッタ (時間的な揺らぎ) が増加し、最悪の場合にはPLLロックが外れるという問題が発生する。PRMLは分解能が低い入力波形に対しても良好な検出性能が得られるというシミュレーション結果が多数報告されているが、これは再生信号からクロック信号を正確に抽出できることを前提にしたものであり、クロック信号のジッタが多い場合、あるいはPLLロックが外れてしまった場合には、全く誤った情報が出力されることになる。すなわち、高密度記録再生する場合、PRML等の検出器の検出性能はPLLの追従性能に大きく依存することになる。

【0009】そこで、PLL追従性能の向上要請に応えるために、例えば特開2000-182335号公報、特開平10-172250号公報で開示されたPLL回路がある。特開2000-182335号公報で開示されたPLL回路は、図16に示すように、入力信号の波形を所望の周波数特性から成る波形に変換する等化器101と、等化器101の出力信号をデジタル信号に変換

し、所定のクロック信号のタイミングで出力するA/D変換器102と、予め設定された複数のしきい値を用いて、A/D変換器102の出力信号から前記入力信号の位相情報を抽出する位相比較器103と、位相比較器103から出力される位相情報を積分するループフィルタ104と、ループフィルタ104の出力信号にしたがって発振周波数が制御される、前記所定のクロック信号を出力する電圧制御発振器105と、A/D変換器102の出力信号中に含まれる情報を検出する最尤検出器106とを有するものである。

【0010】すなわち、特開2000-182335号公報で開示されたPLL回路は、従来、単一のしきい値によるスレッシュホールド検出パルスに基づいて位相情報を生成しているのに対し、異なる複数のしきい値により生成した複数のスレッシュホールド検出情報から位相情報を生成してPLLループを構成している。これにより、このPLL回路は、位相比較器の出力のS/N比を向上させ、PLL追従性能を向上させている。

【0011】また、特開平10-172250号公報で開示されたPLL回路は、図17に示すように、アナログ信号をデジタル信号に変換するA/D変換回路201と、A/D変換回路201からの信号波形を等化する等化器202と、等化器202で波形等化されたデジタル信号の値を判別して、デジタル情報信号を出力するビタビ検出器203と、最尤検出によって最も確からしいデジタル情報信号の値の仮判別を行い、仮判別結果に基づく振幅誤差に応じた値を出力する仮判別手段204と、仮判別手段204の出力をアナログ信号に変換するD/A変換回路205と、D/A変換回路205の出力を積分するフィルタ206と、フィルタ206からの誤差信号に基づいてA/D変換回路201のサンプリング周波数を制御する電圧制御発振器207とを有するものである。

【0012】すなわち、特開平10-172250号公報で開示されたPLL回路は、デジタル入力情報がどの基準レベルに近いかを最尤検出によって仮判別し、この仮判別値と入力情報とを基に位相情報を生成してPLLループを構成している。これにより、このPLL回路は、通常のスレッシュホールド検出パルスを基にした位相比較出力のうち、ノイズ等によって誤って出力される情報を除去することで位相比較器のS/N比を向上させている。

【0013】

【発明が解決しようとする課題】しかしながら、特開2000-182335号公報で開示されたPLL回路では、高次のPRチャネルになるほど各しきい値レベルの間隔が狭くなるため、ほんの少しのオフセットレベル変動や波形の非線形性によってPLL追従性が大きく変化してしまうという問題点があった。また、PRチャネルの特性上、高次になるに従い、ある基準レベルを通過す

る波形の微係数の絶対値は、前後のボタンによって大きく異なる。したがって、同じ量の位相ずれであっても、検出エッジタイミングが異なるという問題点があった。

【0014】また、特開平10-172250号公報で開示されたPLL回路においても、同様に高次のPRチャネルを採用した場合、ある基準レベルと判断されたデータから生成される位相情報は前後のボタンによって大きく異なっているため、位相情報のS/N比が低下するという問題点があった。以上のような問題は、PLL回路だけでなく、PLL回路を用いたデータ検出回路及びPLL回路を用いたディスク装置においても同様に発生する。

【0015】本発明の主な目的は、分解能が低下した再生信号からできるだけ高いS/N比の位相差情報を抽出してPLL制御を行うことで追従ジッタの少ないPLL回路を提供することにある。また、本発明の他の目的は、追従特性の良好なPLL回路を用いたデータ検出回路を提供することにある。さらに、本発明の他の目的は、追従特性の良好なPLL回路を搭載したデータ検出回路をディスク装置に用いることによって、ディスク装置の高密度記録化あるいは再生情報の信頼性向上に貢献することにある。

【0016】

【課題を解決するための手段】本発明のPLL回路は、入力アナログ信号をサンプリングしてデジタル信号に変換するA/D変換器(1)と、このA/D変換器から出力された連続する複数のサンプル値からなる入力ボタン列の種類を識別して、識別結果を示すボタン列識別情報を出力するボタン列検出器(3)と、前記ボタン列識別情報と前記A/D変換器の出力に基づいて前記A/D変換器出力の位相誤差を示す位相差情報を出力する位相差生成器(4)と、前記位相差情報からクロック信号を生成して、前記A/D変換器のサンプリングタイミングを制御する制御手段(5~7)とを有するものである。このように、本発明のPLL回路は、特定の長さの入力ボタン列がいかなる種類のボタン列であるかをボタン列検出器によって推定することと、ボタン列識別情報によりサンプル点の微係数を生成して、それを用いて位相差情報を生成することに特徴がある。この位相差情報は、サンプル点の微係数を基に生成されるため急峻なエッジ近傍ではセンシティブな位相差情報を出力し、微係数が0に接近する場合にはほとんど位相差情報を出力しない。したがって、ノイズに強く高いS/N比の位相差情報を生成することが可能である。この位相差情報を基にPLLループを構成することで追従性能の高いPLL回路を実現できる。また、本発明のPLL回路の1構成例は、前記A/D変換器の前段に、前記入力アナログ信号の波形等化を行うアナログ等化器(10)を有するものである。

【0017】また、本発明のPLL回路は、入力アナロ

グ信号を固定のクロックレートでサンプリングしてデジタル信号に変換するA/D変換器(1)と、前記デジタル信号の位相を調整する補間器(8)と、この補間器から出力された連続する複数のデータ値からなる入力ボタン列の種類を識別して、識別結果を示すボタン列識別情報を出力するボタン列検出器(3)と、前記ボタン列識別情報と前記補間器の出力に基づいて前記補間器出力の位相誤差を示す位相差情報を出力する位相差生成器

(4)と、前記位相差情報に基づいて前記補間器の位相調整量を制御する補間量算出器(9)とを有するものである。また、本発明のPLL回路の1構成例は、前記A/D変換器と前記補間器との間に、前記A/D変換器の出力信号の波形等化を行うデジタル等化器(10a)を有するものである。

【0018】また、本発明のPLL回路の1構成例として、前記ボタン列検出器は、前記入力ボタン列とこの入力ボタン列がとり得る全ての理想ボタン列との誤差量を計算する誤差生成器(31)と、前記計算された誤差量が最小の理想ボタン列を前記入力ボタン列に最も近い理想ボタン列として前記ボタン列識別情報を出力する最小値検出器(32)とからなるものである。また、本発明のPLL回路の1構成例として、前記位相差生成器は、前記理想ボタン列中の理想値を理想ボタン列毎に予め記憶し、前記ボタン列識別情報が入力されたときに対応する理想値を出力する第1のメモリ(41-1)と、前記理想値の微係数を理想ボタン列毎に予め記憶し、前記ボタン列識別情報が入力されたときに対応する微係数を出力する第2のメモリ(41-2)と、前記A/D変換器の出力又は前記補間器の出力から前記理想値を減算する減算器(43)と、この減算器の出力に前記微係数を乗じた結果を前記位相差情報として出力する乗算器(42)とからなるものである。また、本発明のPLL回路の1構成例として、前記A/D変換器と前記ボタン列検出器及び前記位相差生成器との間に設けられ、オフセット補正量を足した後の前記A/D変換器出力を前記ボタン列検出器及び前記位相差生成器に出力する加算器(12)と、この加算器の出力におけるオフセット量を補正する前記オフセット補正量を前記加算器出力から学習して前記加算器に与えるオフセット量学習回路(11)とを有するものである。

【0019】また、本発明のデータ検出回路は、前記PLL回路と、このPLL回路で生成されたクロック信号又は前記固定のクロックレートのクロック信号に同期して、前記A/D変換器の出力信号中の情報を識別するパルス化回路(13)を有するものである。また、本発明のデータ検出回路の1構成例において、前記パルス化回路はビタビ検出器である。また、本発明のデータ検出回路の1構成例は、前記ビタビ検出器の入力及び出力から前記ビタビ検出器内の基準レベルを学習して前記ビタビ検出器及び前記ボタン列検出器に与える基準レベル学習

回路(14)を有するものである。また、本発明のデータ検出回路の1構成例は、前記ビタビ検出器としてPR(a, b, b, a)チャンネルに対応するものである。また、本発明のデータ検出回路の1構成例は、前記ビタビ検出器としてPR(a, b, c, b, a)チャンネルに対応するものである。また、本発明の磁気ディスク装置は、磁気ディスクの再生系に、前記データ検出回路を搭載したものである。また、本発明の光ディスク装置は、光ディスクの再生系に、前記データ検出回路を搭載したものである。

【0020】

【発明の実施の形態】[実施の形態の1]以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1の実施の形態となるPLL回路の構成を示すブロック図である。本実施の形態のPLL回路は、A/D変換器1と、遅延回路2-1、2-2と、ボタン列検出器3と、位相差生成器4と、ループフィルタ5と、D/A変換器6と、電圧制御発振器7とを有している。

【0021】例えばディスク等から読み出されたアナログ入力信号(再生信号)は、A/D変換器1によってデジタル信号列に変換される。このとき、A/D変換器1は、電圧制御発振器7からのクロック信号に同期してアナログ信号をサンプリングする。A/D変換器1の出力信号が遅延回路2-1、2-2に入力されることにより、連続する3サンプルの情報(遅延回路2-1、2-2を通過した2クロック前の情報、遅延回路2-1のみを通過した1クロック前の情報、遅延回路2-1、2-2を通過しない情報)がボタン列検出器3に入力される。なお、図1では連続3サンプルの情報をボタン検出するが、もちろん5サンプル(遅延回路2が4個)でも7サンプル(遅延回路2が6個)でもかまわない。

【0022】入力チャンネルとして図2に示すPR(1, 2, 2, 1)チャンネルの信号(d=1制限)が入力されることを過程すると、ボタン列検出器3では、入力ボタン列(X_{n-1} , X_n , X_{n+1})が(3, 3, 3)なのか、あるいは(3, 2, 0)なのかを判断する。図2の状態遷移の場合、3連続サンプルボタンは以下に示すように20通りある。

【0023】(-3, -3, -3), (-3, -3, -2), (-3, -2, 0), (-2, 0, 2), (-2, 0, 1), (-1, 0, 2), (-1, 0, 1), (0, 2, 3), (0, 2, 2), (0, 1, 0), (3, 3, 3), (3, 3, 2), (3, 2, 0), (2, 0, -2), (2, 0, -1), (1, 0, -2), (1, 0, -1), (0, -2, -3), (0, -2, -2), (0, -1, 0)

【0024】ボタン列検出器3は、この20通りの中か

ら入力ボタン列に最も近いボタン列を検出する。したがって、ボタン列検出器3の出力は、20通りの中の内いずれか1つを示すものとなるので、5ビット情報で十分である。ボタン列検出器3から出力されるボタン列識別情報は位相差生成器4に入力される。位相差生成器4は、ボタン列検出器3の出力を基に位相差情報を生成する。

【0025】ループフィルタ5は、位相差生成器4から出力された位相差情報を積分して周波数情報に変換する。D/A変換器6は、ループフィルタ5の出力をアナログ信号に変換する。電圧制御発振器7は、D/A変換器6からの入力レベルに比例した周波数のクロック信号を発生させて、A/D変換器1のサンプリングタイミングを制御する。

※

$$E_{n,i} = (X_{n-1,i} - P_{n-1,i})^2 + (X_n - P_{n,i})^2 + (X_{n+1,i} - P_{n+1,i})^2 \dots (1)$$

【0028】式(1)において、 $P_{n,i}$ は時刻nにおけるi番目の理想ボタン列の中央理想値を示す。前述の20通りの3連続サンプルボタン(理想ボタン列)は、 $(P_{n-1,i}, P_{n,i}, P_{n+1,i})$ で表すことができる(iは0から20までの整数)。 $E_{n,i}$ は、時刻nにおいてi番目の理想ボタン列を選択したときの2乗平均誤差を示す。

※

$$e_{n,i} = (P_{n-1,i}^2 + P_{n,i}^2 + P_{n+1,i}^2) / 2 - (X_{n-1,i}P_{n-1,i} + X_nP_{n,i} + X_{n+1,i}P_{n+1,i}) \dots (2)$$

【0030】中央理想値 $P_{n,i}$ は固定値であるため、式(2)の計算を使用すれば、定数乗算と定数加算のための回路で誤差生成器31を実現できることになる。ただし、中央理想値 $P_{n,i}$ を学習によって変更する場合には、変数同士の乗算回路が必要となるので誤差生成器31は回路規模が大きくなる。

【0031】こうして、ボタン列検出器3の誤差生成器31は、時刻nにおける入力ボタン列 (X_{n-1}, X_n, X_{n+1}) と理想ボタン列 $(P_{n-1,i}, P_{n,i}, P_{n+1,i})$ との誤差 $e_{n,i}$ を理想ボタン列毎に計算して出力する。したがって、本実施の形態では20通りの理想ボタン列について計算するので、図3において $m=19$ となる。

【0032】最小値検出器32は、誤差生成器31が生成した20種の誤差量 $e_{n,i}$ の中から最小値を検出することにより、入力ボタン列に最も近い理想ボタン列を検出する。そして、最小値検出器32は、誤差量 $e_{n,i}$ が最小の理想ボタン列が何番目のボタン列であるかを示す★

$$\Phi_n = (X_n - P_n) \times a_n$$

すなわち、減算器43は、入力サンプル値 X_n から理想サンプル値 P_n を減算して減算結果を出力し、乗算器42は、この減算結果に微係数 a_n を乗じて位相差情報 Φ_n を出力する。

【0036】図5に位相差生成の原理を示す。図5(a)は入力サンプル値の立ち上がりエッジで、かつ位相が遅れた場合を示し、図5(b)は立ち上がりエッジで、かつ位相が進んだ場合を示し、図5(c)は入力サ

※【0026】なお、遅延回路2-1、2-1、ボタン列検出器3、位相差生成器4、ループフィルタ5及びD/A変換器6のデジタル回路群も、図示していないが、電圧制御発振器7からのクロックに同期して動作する。また、D/A変換器6は、ループフィルタ5の前段にあってもよい。

【0027】図3はボタン列検出器3の1構成例を示すブロック図である。ボタン列検出器3は、誤差生成器31と、最小値検出器32とからなる。このボタン列検出器3の動作を図2の状態遷移の場合で説明する。まず、入力ボタン列 (X_{n-1}, X_n, X_{n+1}) と理想ボタン列との2乗平均誤差 $E_{n,i}$ を次式のように求める。

※【0029】ボタン列検出器3の動作から考えると、誤差の絶対値は必要ではなく、大小の差だけが必要である。したがって、計算式の簡略化ができる。すなわち、入力ボタン X の2乗の項は全ての誤差量に共通なので計算しなくても問題ない。そこで、新たな比較用の誤差量として次式のような $e_{n,i}$ を考える。

★5ビットのボタン列識別情報を出力する。

【0033】図4は位相差生成器4の1構成例を示すブロック図である。位相差生成器4は、第1のメモリ41-1と、第2のメモリ41-2と、乗算器42と、減算器43とからなる。第1のメモリ41-1は、理想サンプル値 P_n を理想ボタン列毎に予め記憶し、第2のメモリ41-2は、この理想サンプル値 P_n における微係数(微分値) a_n を理想ボタン列毎に予め記憶している。【0034】第1のメモリ41-1は、ボタン列検出器3からボタン列識別情報が入力されると、対応する理想サンプル値 P_n を出力する。同様に、第2のメモリ41-2は、ボタン列識別情報が入力されると、対応する微係数 a_n を出力する。位相差生成器4が出力する位相差情報 Φ_n は、理想サンプル値 P_n 及び微係数 a_n と、入力サンプル値(遅延回路2-1の出力) X_n とから次式のように算出される。

$$\Phi_n = (X_n - P_n) \times a_n \dots (3)$$

ンブル値の立ち下がりエッジで、かつ位相が遅れた場合を示し、図5(d)は立ち下がりエッジで、かつ位相が進んだ場合を示している。なお、図5において、白丸は入力サンプル値 X_n を示し、黒丸は理想サンプル値 P_n を示す。

【0037】図5によると、立ち上がりでも立下りでも、理想サンプル値 P_n に対して入力サンプル値 X_n の位相が遅れた場合には位相差情報 Φ_n が負となり、逆に

位相が進んだ場合には位相差情報 Φ_n が正となる。すなわち、位相差情報 Φ_n を位相比較情報として利用可能であることを示している。

【0038】また、微係数の絶対値が大きいほど位相情報として確かであり、0に近づくにつれて情報量が少なくなるが、このような位相情報としての確かさを理想微係数 a_n の乗算によって実現している。微係数 a_n が0と判定された場合には位相差生成器4の出力は0となつて、ノイズ等による誤出力を回避することができる。また、同じ値の理想サンプル値 P_n であっても、前後のバ

タンによって微係数 a_n が異なるという情報を埋め込むことが可能であるので、より確からしい位相比較出力が得られる利点がある。

【0039】図6は、理想サンプル値 P_n に対して入力サンプル値 X_n の位相が進んでいる場合の位相差生成器4の各信号出力を示す信号波形図である。 $X_n - P_n$ は減算器43の出力、微係数 a_n はメモリ41の出力、 $(X_n - P_n) \times a_n$ は乗算器42の出力である。図6によると、理想サンプル値 P_n の微係数 a_n が0となる個所以外のサンプル点全てから位相差情報 Φ_n が生成可能であることが分かる。

【0040】図7は、理想サンプル値 P_n に対して入力サンプル値 X_n の位相が遅れている場合の位相差生成器4の各信号出力を示す信号波形図であり、図6と同様に理想サンプル値 P_n の微係数 a_n が0となる個所以外のサンプル点全てから位相差情報 Φ_n が生成可能であることが分かる。以上により、位相差情報のS/N比を改善することができ、PLLループの追従性能を向上させることができる。

【0041】〔実施の形態の2〕図8は本発明の第2の実施の形態となるPLL回路の構成を示すブロック図であり、図1と同一の構成には同一の符号を付してある。本実施の形態のように、チャンネル特性を補正するために等化器10をA/D変換器1の前段に挿入してもよい。再生信号はPRチャンネルから少しずれたチャンネル特性を有している場合が多く、そのような場合には等化器10によって補正することで追従性能が上がる場合がある。

【0042】〔実施の形態の3〕図9は本発明の第3の実施の形態となるPLL回路の構成を示すブロック図であり、図1と同一の構成には同一の符号を付してある。本実施の形態においても、基本的な構成は実施の形態の1と同様であるが、本実施の形態は完全デジタルPLLを構成している。

【0043】A/D変換器1aは、入力信号のチャンネルクロックよりも高い周波数の固定レートのクロック信号で動作する。補間器8は、A/D変換器1aから出力されたデジタル信号に対して位相調整を行う。遅延回路2-1、2-1、ボタン列検出器3及び位相差生成器4の動作は実施の形態の1と全く同じである。ループフィルタ5は位相差生成器4の出力を平均化する。このループ

フィルタ5の出力は補間量算出器9に入力される。補間量算出器9は、ループフィルタ5の出力に基づいて補間器8の位相調整量を制御する。つまり、補間量算出器9と補間器8は図1の電圧制御発振器7に相当する動作を行う。

【0044】なお、遅延回路2-1、2-1、ボタン列検出器3、位相差生成器4、ループフィルタ5、補間器8及び補間量算出器9のデジタル回路群は全て前記固定レートのクロック信号で動作する。また、補間器8及び補間量算出器9の詳細に関しては、特願平11-367483号に記載されている。本実施の形態の構成ではチャンネルクロックよりも高い周波数で回路を動作させる必要はあるが、全回路をLSI化することができるので、低コスト化、ばらつき低減などに貢献することができる。

【0045】〔実施の形態の4〕図10は本発明の第4の実施の形態となるPLL回路の構成を示すブロック図であり、図1、図9と同一の構成には同一の符号を付してある。図10に示すごとく、チャンネル特性を補正するためのデジタル等化器10aをA/D変換器1aと補間器8との間に挿入してもよい。等化器10aを挿入する理由は実施の形態の2と同じである。等化器10aを補間器8と遅延回路2-1との間に挿入することも可能であるが、PLLループ全体のレイテンシが増加してしまうために追従特性が低下する恐れがある。特に、高速動作をさせるために等化器10aをパイプライン構成にした場合には顕著である。

【0046】〔実施の形態の5〕図11は本発明の第5の実施の形態となるPLL回路の構成を示すブロック図であり、図1と同一の構成には同一の符号を付してある。光ディスク装置や磁気ディスク装置等の通常のディスク装置で用いられている符号はDCフリー（つまり、直流成分が少ない）の符号ではない。また、ディフェクト、複屈折の影響、部品ばらつきなどで再生信号にオフセットが重畳してしまうことがある。

【0047】そこで、このような場合にボタン列検出器3の誤検出を防ぐため、本実施の形態では、加算器12の出力データにおけるオフセット量が0となるようなオフセット補正量を加算器12の出力データから学習して加算器12にフィードバックする構成をとる。加算器12がA/D変換器1の出力データにオフセット量学習回路11からのオフセット補正量を加算することでオフセット量を0にすることができる。こうして、PLLの安定性を上げることが可能である。

【0048】オフセット量学習回路11の詳細に関しては図示していないが、例えば単一周波数のデータをあらかじめ記録後、読み出して単純に積算することでオフセット量を検出することができる。また、データのフォーマット規則を利用してヘッダ情報の一部を利用して周期的にオフセット量を修正していく方法も考えられる。な

お、実施の形態の1又は2のPLL回路の代わりに、実施の形態の3又は4のPLL回路を用いてもよい。

【0049】[実施の形態の6] 図12は本発明の第6の実施の形態となるデータ検出回路の構成を示すブロック図であり、図1と同一の構成には同一の符号を付してある。PLL回路は単純にクロック抽出回路あるいは通信回路として用いられることもあるが、図12に示すようにパルス化回路13を付加してデータ検出回路として用いることも多い。すなわち、パルス化回路13は、電圧制御発振器7からのクロック信号に同期してA/D変換器1の出力データが「0」か「1」かを識別することにより、再生信号中から情報を再生する。

【0050】なお、実施の形態の1又は2のPLL回路の代わりに、実施の形態の3又は4のPLL回路を用いてもよい。また、パルス化回路13としてビタビ検出器を用いることも可能である。この場合、ビタビ検出器内の基準レベルとボタン列検出器3の基準レベルを同じに設定する必要がある。

【0051】[実施の形態の7] 図13は本発明の第7の実施の形態となるデータ検出回路の構成を示すブロック図であり、図1と同一の構成には同一の符号を付してある。本実施の形態では、実施の形態の6で述べたようにパルス化回路としてビタビ検出器13aを用い、さらに基準レベル学習回路14を設けて、ビタビ検出器13aの入力と出力とを基準レベル学習回路14でモニターしながら適応的に基準レベルを補正することが可能である。補正した基準レベルはビタビ検出器13aおよびボタン列検出器3に入力する。

【0052】これによって比較的ゆっくりと変動するような再生信号の非線形性（基準レベルの非対称性）などを補正することができるので、より安定に情報を検出することが可能となる。入力する再生チャンネルは、比較的高次のPRチャンネルが最適である。分解能が高くなるにつれて従来のPLL方式との差が近接してくるからである。特にPR(a, b, b, a)あるいはPR(a, b, c, b, a)タイプに最適である。

【0053】図14は基準レベル学習回路14の1構成例を示すブロック図である。遅延回路51は、A/D変換器1から出力されたデジタル信号を遅延させる。ボタン検出器52は、ビタビ検出器13aの出力の振幅レベルが1, 0, -1の何れに最も近いかを検出する（ただし、振幅レベル1, 0, -1はPR(1, 1)チャンネル、d=1制限符号の場合）。

【0054】平均化回路53-1~53-3はそれぞれ振幅レベル1, 0, -1に対応しており、基準レベル11, 12, 13を出力する。ボタン検出器52は、ビタビ検出器13aの出力の振幅レベルが1に最も近い場合、平均化回路53-1に対して信号「1」を出力し、平均化回路53-2, 53-3に対して信号「0」を出力する。また、ボタン検出器52は、ビタビ検出器13

aの出力の振幅レベルが0に最も近い場合、平均化回路53-2に対して信号「1」を出力し、平均化回路53-1, 53-3に対して信号「0」を出力し、ビタビ検出器13aの出力の振幅レベルが-1に最も近い場合、平均化回路53-3に対して信号「1」を出力し、平均化回路53-1, 53-2に対して信号「0」を出力する。

【0055】平均化回路53-1~53-3は、ボタン検出器52の出力信号が「1」である場合、遅延回路51の出力信号を積分して積分結果を出力する（直前までの積分結果に遅延回路51の出力信号を加えた結果を出力する）。また、平均化回路53-1~53-3は、ボタン検出器52の出力信号が「0」である場合、遅延回路51の出力信号を無視して、積分動作を実行しない（直前までの積分結果をそのまま出力する）。こうして、ビタビ検出器13aに基準レベル11, 12, 13が入力される。なお、実施の形態の1又は2のPLL回路の代わりに、実施の形態の3又は4のPLL回路を用いてもよい。

【0056】[実施の形態の8] 図15は本発明の第8の実施の形態となるディスク装置の構成を示すブロック図であり、図1と同一の構成には同一の符号を付してある。本実施の形態のディスク装置は、実施の形態の6で説明したデータ検出回路を搭載したものである。以下、本実施の形態のディスク装置の動作を説明する。

【0057】まず、光ヘッド22から光ディスク媒体23に照射したレーザースポットを媒体23上に正確に集光させて追従させるため、アクチュエータサーボ回路21は、光ヘッド22内のレンズ駆動用のアクチュエータを制御する。LDパワー制御回路20は、光ヘッド22内のレーザダイオードから出射するレーザ光の強度を一定に制御する。スピンドル制御回路19は、光ディスク媒体23が一定回転数となるようスピンドルモータ24を制御する。

【0058】スピンドル制御回路19、LDパワー制御回路20及びアクチュエータサーボ回路21は、ディスクシステムコントローラ17によって制御される。光ディスク媒体23からの反射光は、光ヘッド22内のフォトダイオードによって受光され、電気信号に変換される。ブリアンプ25はフォトダイオードの出力信号を増幅し、A/D変換器1はブリアンプ25の出力信号（再生信号）をデジタル信号に変換する。

【0059】このA/D変換器1の出力を基に実施の形態の1で説明したPLL回路によってA/D変換器1のサンプリングタイミングを制御する。また、実施の形態の6で説明したパルス化回路13によって再生信号中から情報を再生し、フォーマットコントローラ15によってデータ復調などを行う。フォーマットコントローラ15の出力は誤り訂正回路16に入力されて誤り訂正がなされる。誤り訂正回路16で誤り訂正がなされたデ

ータは、最終的にディスクシステムコントローラ17に入力され、図示しないインタフェースを通して外部に出力される。以上がデータ読出時の動作である。

【0060】データ記録時は読出時と逆の経路を辿る。すなわち、記録すべきデータはディスクシステムコントローラ17に送られた後、誤り訂正回路16によって誤り訂正用の冗長ビットが付加される。フォーマットコントローラ15は、誤り訂正回路16の出力データに対してデータ変調を行い、記録補償回路18は、この変調されたデータに従って、LDパワー制御回路20を通じて光ヘッド22内のレーザーダイオードの発光パワーを変調する。こうして、光ディスク媒体23上にマークが形成される。なお、本実施の形態では、光ディスク装置における構成例を示したが、磁気ディスク装置にも本発明を適用可能なことは明らかである。また、実施の形態の6で説明した通り、データ検出回路中のPLL回路として、実施の形態の3又は4のPLL回路を用いてもよい。

【0061】

【発明の効果】本発明によれば、ボタン列検出器及び位相差生成器を設けることにより、ノイズに強く高S/N比の位相差情報をほとんど全ての入力サンプル値から正確に抽出することができ、その結果、追従特性の良好なPLL回路を実現することができる。

【0062】また、A/D変換器の前段に入力アナログ信号の波形等化を行うアナログ等化器を設けることにより、PLLループの追従性能を向上させることができる。

【0063】また、補間器、ボタン列検出器、位相差生成器及び補間量算出器を設けることにより、追従特性の良好な完全デジタルPLL回路を実現することができる。

【0064】また、A/D変換器と補間器との間に、A/D変換器の出力信号の波形等化を行うデジタル等化器を設けることにより、PLLループの追従性能を向上させることができる。

【0065】また、加算器及びオフセット量学習回路を設けることにより、PLLの安定性を上げることができる。

【0066】また、前述のPLL回路をデータ検出回路に適用することによってデータ検出回路の性能を最大限に発揮させることが可能となる。

【0067】また、基準レベル学習回路を設けることにより、比較的ゆっくりと変動する再生信号の非線形性等を補正することができるので、より安定に情報を検出することが可能となる。

【0068】また、前述のデータ検出回路をディスク装置に適用することによって、ディスク装置の高密度記録あるいは再生情報の信頼性向上に貢献することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態となるPLL回路の構成を示すブロック図である。

【図2】 $d=1$ 制限PR(1, 2, 2, 1)チャネルの状態遷移図である。

【図3】 本発明の第1の実施の形態におけるボタン列検出器の構成を示すブロック図である。

【図4】 本発明の第1の実施の形態における位相差生成器の構成を示すブロック図である。

10 【図5】 位相差生成の原理を示す説明図である。

【図6】 本発明の第1の実施の形態における位相差生成器の動作例を示す信号波形図である。

【図7】 本発明の第1の実施の形態における位相差生成器の他の動作例を示す信号波形図である。

【図8】 本発明の第2の実施の形態となるPLL回路の構成を示すブロック図である。

【図9】 本発明の第3の実施の形態となるPLL回路の構成を示すブロック図である。

【図10】 本発明の第4の実施の形態となるPLL回路の構成を示すブロック図である。

20 【図11】 本発明の第5の実施の形態となるPLL回路の構成を示すブロック図である。

【図12】 本発明の第6の実施の形態となるデータ検出回路の構成を示すブロック図である。

【図13】 本発明の第7の実施の形態となるデータ検出回路の構成を示すブロック図である。

【図14】 本発明の第7の実施の形態における基準レベル学習回路の構成を示すブロック図である。

【図15】 本発明の第8の実施の形態となるディスク装置の構成を示すブロック図である。

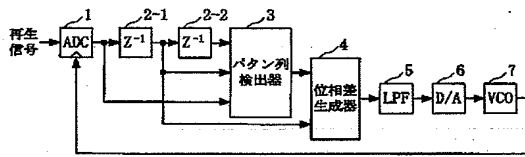
30 【図16】 従来のPLL回路の構成を示すブロック図である。

【図17】 従来の他のPLL回路の構成を示すブロック図である。

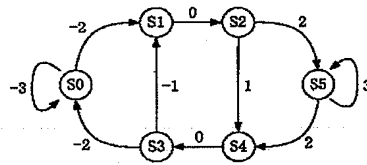
【符号の説明】

1、1a…A/D変換器、2-1、2-2…遅延回路、3…ボタン列検出器、4…位相差生成器、5…ループフィルタ、6…D/A変換器、7…電圧制御発振器、8…補間器、9…補間量算出器、10、10a…等化器、11…オフセット量学習回路、12…加算器、13…パルス化回路、13a…ビタビ検出器、14…基準レベル学習回路、15…フォーマットコントローラ、16…誤り訂正回路、17…ディスクシステムコントローラ、18…記録補償回路、19…スピンドル制御回路、20…LDパワー制御回路、21…アクチュエータサーボ回路、22…光ヘッド、23…光ディスク媒体、24…スピンドルモータ、25…プリアンプ、31…誤差生成器、32…最小値検出器、41-1、41-2…メモリ、42…乗算器、43…減算器。

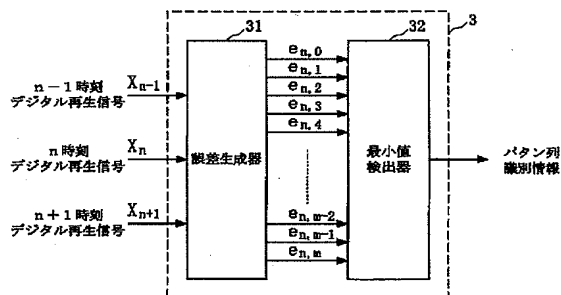
【図1】



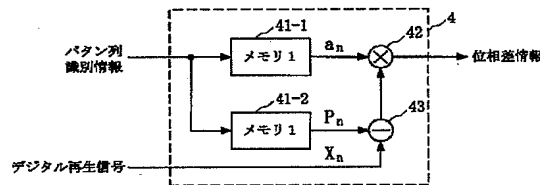
【図2】



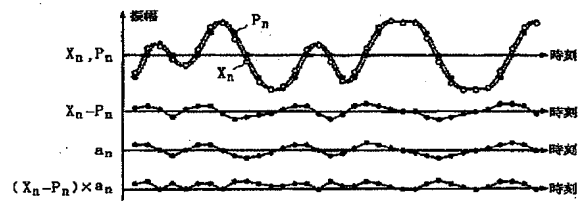
【図3】



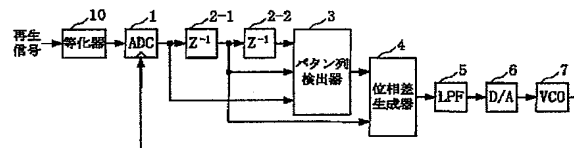
【図4】



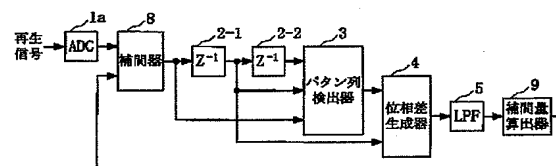
【図6】



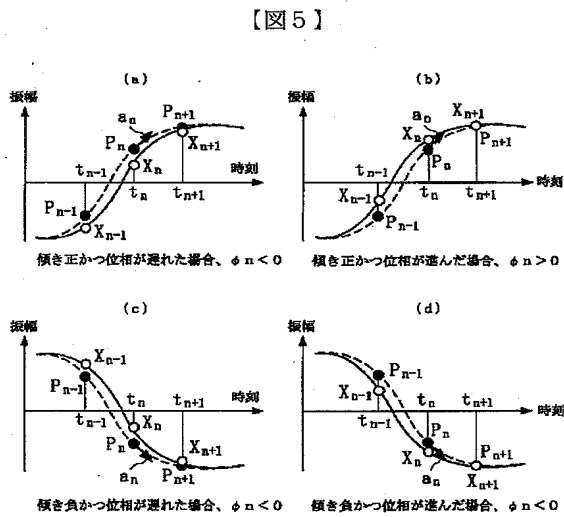
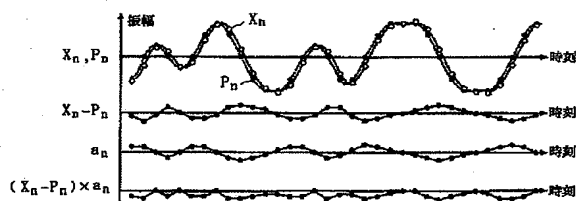
【図8】



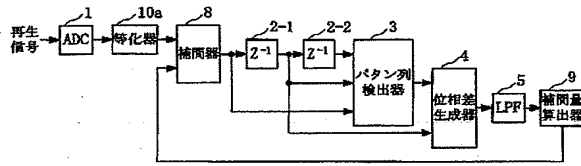
【図9】



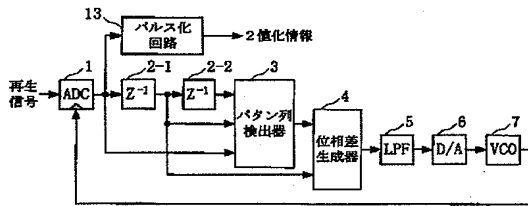
【図7】



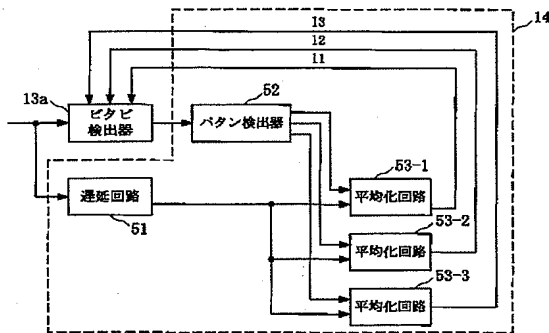
【図10】



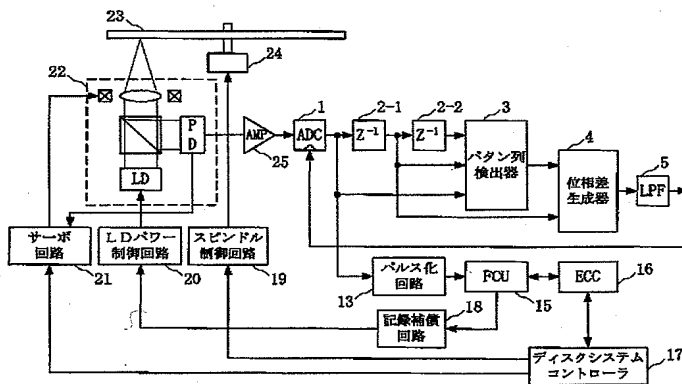
【図12】



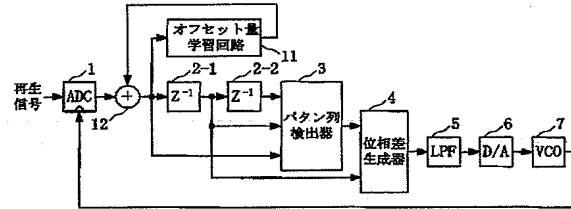
【図14】



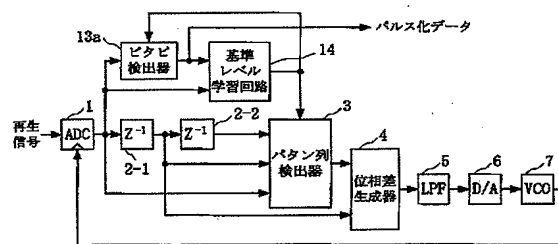
【図15】



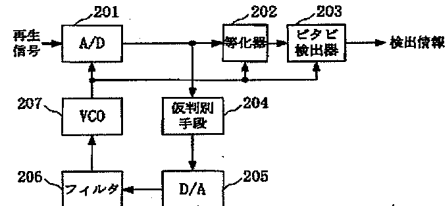
【図11】



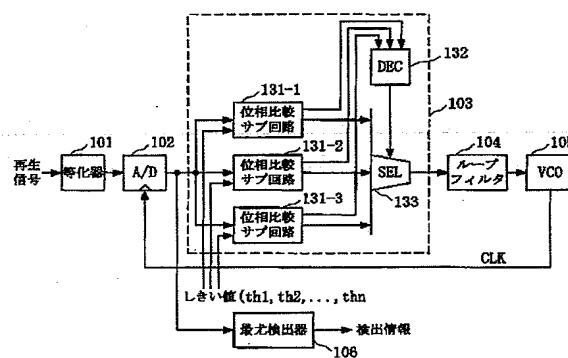
【図13】



【図17】



【図16】



フロントページの続き

F ターム(参考) 5D044 BC01 BC02 CC04 FG01 FG11
 FG14 GL32 GM12 GM15
 5J106 AA04 BB03 CC01 CC26 CC38
 CC41 CC58 DD01 DD13 DD33
 DD35 DD36 DD44 DD46 JJ02
 KK05 KK27 LL02
 5K047 CC12 GG11 MM45 MM46 MM63